

大学院人間文化総合科学研究科（博士前期課程）

令和7年度4月入学試験問題

【 一 般 選 抜 】

情報衣環境学専攻
生活情報通信科学コース

〔専門科目〕

試験日：令和7年2月1日(土)

注 意

- (1) 解答用紙に受験番号、氏名を記入すること。所定の欄のみに記入し、所定の欄以外には絶対に記入しないこと。所定の欄以外に記入すると、その答案は採点されないので注意すること。
- (2) 出題されている3問の試験問題【問題1,問題2,問題3】のうち2問ないしは3問に解答すること。採点は2問で行い、全3問が解答されている場合は、得点の高い2問で採点を行う。各問題の解答には問題番号を明記すること。
- (3) 解答用紙が不足した人は手を挙げてその旨を試験監督者に告げ、必要枚数の解答用紙を受け取ること。その場合には、問題番号を解答用紙の最初に記入すること。
- (4) 問題冊子の総ページ数：4ページ
問題ページ：第2～第4ページ
- (5) 問題冊子に乱丁、落丁、印刷不鮮明など不備があった場合は、挙手をして試験監督者に申し出ること。
- (6) 試験開始後は、試験終了時刻までは試験室を出ることはできないので注意すること。ただし、気分が悪くなるなど緊急の場合は試験監督者の指示に従って退出できるので申し出ること。なお、退出している時間も試験時間に含まれる（試験時間の延長は認められない）ことに注意すること。

問題 1

初期のプログラム内蔵型計算機では、プロセッサの演算速度と記憶装置（初期はさまざまな記憶装置が使用されたため「メモリ」という用語をここでは避けている）のアクセス速度に大きな差異がなかったため、演算命令時に記憶装置内のデータに直接アクセスするタイプのものが多く見られた。その後、プロセッサやメモリ（記憶装置）の IC 化、LSI 化、さらなる微細加工技術進歩の適用がなされ、同時にメモリについては大容量化がなされて行き、プロセッサの演算速度がメモリのアクセス速度に比べて大幅に速くなった。このため、プロセッサは内部に小容量のレジスタを保持して、演算に使うデータの読み書き（アクセス）はレジスタ上でなるべく済ますことによって、メモリアクセス回数を削減して処理スピードの向上を目指すようになった。演算命令をレジスタで行うタイプ（言い換えると Load/Store アーキテクチャ）のプロセッサに関して、命令セットを以下の方式で実現する場合について、それぞれの方式を簡単に説明し、利点と欠点を述べなさい。利点と欠点に関しては、基本演算命令の命令長、可変長命令、回路規模、同一処理実現のための命令数といった視点から論ずること。

- (1). 1 オペランド方式（アキュムレータ方式）
- (2). 2 オペランド方式
- (3). 3 オペランド方式

問題 2

有線 LAN の代表的な方式に **ethernet** がある。現在では、**ethernet** による機器の接続にはスイッチングハブなどの集線装置を経由することが一般的であるが、初期の **ethernet** は 1 本の長い同軸ケーブル（電極は外側を囲むアースと心線の 2 極）に通信を行う機器が直接ぶら下がる方式であった。このため、集線装置のようなものは不要であり、ネットワークの敷設が容易であり、多くの大学や会社に採用された。複数の機器が 1 本の同軸ケーブルにぶら下がっているため、同時には 1 台の機器しかパケットの発信者になれないという制限が存在し、誰が送信者になるかを定めるための送信権制御方式が必要になる。以下の送信権制御方式に関する問題に解答しなさい。

- (1). **ethernet** で採用された送信権制御方式は **CSMA/CD** (**Carrier Sense Multiple Access with Collision Detection**) と呼ばれる。この動作について説明しなさい。特に、複数の機器からの送信が重なってしまったこと（衝突: **collision**）の判定方法とパケット再送のタイミング決定方法について言及すること。
- (2). 無線 LAN では、**ethernet** で採用されている **CSMA/CD** を送信権制御方式として採用することができない。この理由について説明しなさい。そして、無線 LAN で採用されている送信権制御方式である **CSMA/CA** (**Carrier Sense Multiple Access with Collision Avoidance**) について簡単に説明しなさい。

問題 3

入力層を除いて1層もしくは2層から成るニューラルネットワークについて以下の問題に答えなさい。構成要素のニューロンの動作は以下の通り。入力 x_i に重み w_i を掛けた和を求めてバイアス b を足したものに活性化関数 $h(\cdot)$ を適用したものがニューロンの出力 y である。

$$y = h\left(\sum w_i x_i + b\right)$$

活性化関数には様々なものがあるが、ここではステップ関数 $h_{step}(\cdot)$ と恒等関数 $h_{id}(\cdot)$ のみを考える。式で表記すると以下の通りである。

$$h_{step}(x) = \begin{cases} 0 & (x \leq 0) \\ 1 & (x > 0) \end{cases}$$

$$h_{id}(x) = x$$

- (1). ステップ関数を活性化関数として、2入力 (x_1 と x_2) に2値 (0と1) を入力した場合にORとして振る舞う1層で1個のニューロンから成るニューラルネットワークを設計 (重みとバイアスを1例のみ決定) しなさい。同様にステップ関数を活性化関数として、NANDとして振る舞うニューラルネットワークを設計しなさい。ORおよびNANDの真理値表は以下の通り。

OR		
x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

NAND		
x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

- (2). ステップ関数を活性化関数として、XORとして振る舞う、2入力 (x_1 と x_2) を持ち2層で3個のニューロンからなるニューラルネットワークを設計しなさい。2層目は1層目の2個のニューロンの出力を入力として、最終出力 y を出す。

XOR		
x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

- (3). 中間層 (2層では第1層) の活性化関数が恒等関数の場合は、XORを実現するニューラルネットワークはニューロン数を増やしても実現できない。理由を説明しなさい。